

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

07490728 **Image available**

WIRING AND MANUFACTURING METHOD THEREFOR, AND CIRCUIT
BOARD AND

MANUFACTURING METHOD THEREFOR

PUB. NO.: 2002-359246 [JP 2002359246 A]

PUBLISHED: December 13, 2002 (20021213)

INVENTOR(s): YAMAZAKI SHUNPEI

SUZAWA HIDEOMI

ONO KOJI

KUSUYAMA YOSHIHIRO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 2002-089262 [JP 200289262]

FILED: March 27, 2002 (20020327)

PRIORITY: 2001-091192 [JP 200191192], JP (Japan), March 27, 2001
(20010327)

INTL CLASS: H01L-021/3205; G02F-001/1343; G02F-001/1368; H01L-021/20;
H01L-021/28; H01L-029/786

ABSTRACT

PROBLEM TO BE SOLVED: To provide a wiring capable of dealing with the increase in the area of a pixel part by using a material having a low resistance and to provide a circuit board.

SOLUTION: The wiring comprises a laminated structure of a first conductive layer, having a first width and made of an alloy containing one type or a plurality of types of elements, selected from the group consisting of W and Mo or containing the elements as the main component or a compound as a first layer, a second conductive layer having a second width narrower than the first width, having a low resistance and made of an alloy containing Al as the main component or a compound as a second layer, and a third conductive layer having a third width narrower than the second width and containing Ti as the main component or a compound as a third layer. With the thus constitution, the wiring can fully deal with the increase in the area of the pixel part. A sectional shape of the end of at least the second conductive layer is set as a tapered shape. By forming it into such a shape, coverage can be made proper.

COPYRIGHT: (C)2003,JPO

(51) Int. Cl.	識別記号	F I	ターマコード	(参考)
H01L 21/3205		G02F 1/1343		
G02F 1/1343		1/1368		
1/1368		H01L 21/20		
H01L 21/20		21/28	301	R
21/28	301	21/88		A
審査請求 未請求 請求項の数29 O L (全35頁) 最終頁に続く				

(21) 出願番号 特願2002-89262 (P 2002-89262)

(22) 出願日 平成14年3月27日 (2002. 3. 27)

(31) 優先権主張番号 特願2001-91192 (P 2001-91192)

(32) 優先日 平成13年3月27日 (2001. 3. 27)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 須沢 英臣

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 小野 幸治

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

最終頁に続く

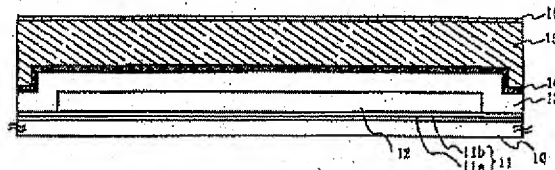
(54) 【発明の名称】 配線およびその作製方法、並びに配線基板およびその作製方法

(57) 【要約】

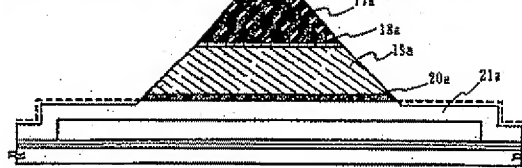
【課題】 低抵抗な材料を用いることにより、画素部の大面積化に対応し得る配線並びに配線基板を提供することを目的とする。

【解決手段】 本発明における配線は、第1の幅を有し、かつ、WまたはMから選ばれた一種または複数種の元素、または前記元素を主成分とする合金若しくは化合物からなる第1の導電層を第1層とし、前記第1の幅より狭い第2の幅を有し、かつ、A1を主成分とする合金若しくは化合物からなる低抵抗な第2の導電層を第2層とし、前記第2の幅より狭い第3の幅を有し、かつ、Tiを主成分とする合金若しくは化合物からなる第3の導電層を第3層とする積層構造であるとする。このような構成にすることで、画素部の大面積化に十分対応でき得る。また、少なくとも第2の導電層の端部における断面形状はテーパ形状であるとする。このような形状にすることで、カバレッジを良好なものとすることができ得る。

(A) 半導体層の形成/絶縁膜の形成/第1の導電層と第2の導電層と第3の導電層の形成



(B) 第1のエッチング工程



(C) 第2のエッチング工程

